

## CHARGE TRANSFER ELEMENT

Patent Number: JP2000091557

Publication date: 2000-03-31

Inventor(s): OKADA YOSHIHIRO

Applicant(s): SANYO ELECTRIC CO LTD

Requested Patent:  JP2000091557

Application Number: JP19980261915 19980916

Priority Number(s):

IPC Classification: H01L29/762; H01L21/339; H01L27/148; H04N5/335

EC Classification:

Equivalents: JP3349451B2

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To increase the output sensitivity of a charge transfer element.

**SOLUTION:** A gate electrode 21 is arranged beneath a reset electrode 7' so as to connect this gate electrode 21 to the source region 3b of an output transistor Td1. Next, a protrusion 22 extending below the gate electrode 11' is formed. In such a constitution, the source region 2a and the gate electrode 21 are actuated at the same phase potential, while the gate electrode 11' and the protrusion 22 are actuated at the same phase potential.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-91557

(P2000-91557A)

(43)公開日 平成12年3月31日 (2000.3.31)

(51)Int.Cl.<sup>7</sup>

H 01 L 29/762  
21/339  
27/148  
H 04 N 5/335

識別記号

F I

マークコード(参考)

H 01 L 29/76

3 0 1 C 4 M 1 1 8

H 04 N 5/335

F 5 C 0 2 4

H 01 L 27/14

B

審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号

特願平10-261915

(22)出願日

平成10年9月16日 (1998.9.16)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 岡田 ▲吉▼弘

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74)代理人 100076794

弁理士 安富 耕二 (外1名)

Fターム(参考) 4M118 AA02 AA10 AB10 BA10 DD04

DD09 DD12

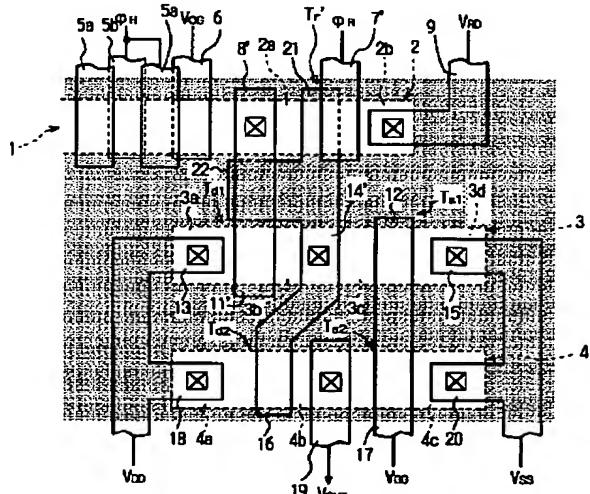
5C024 AA00 CA12 CA15 FA01 FA11

GA11 GA22

(54)【発明の名称】 電荷転送素子

(57)【要約】

【課題】 電荷転送素子の出力感度を向上する。  
【解決手段】 リセットトランジスタTr'のリセット電極7'の下にゲート電極21を配置し、このゲート電極21を出力トランジスタTd1のソース領域3bに接続する。その接続経路に、出力トランジスタTd1のゲート電極11'の下に広がる突出部22を形成する。ソース領域2aとゲート電極21と同じ位相の電位で動作させ、ゲート電極11'と突出部22と同じ位相の電位で動作させる。



## 【特許請求の範囲】

【請求項1】 半導体基板の一主面に一方向に延在して配置されるチャネル領域と、上記チャネル領域に連続して配置される第1の素子領域と、上記第1の素子領域から離間して配置される第2の素子領域と、上記半導体基板上に上記チャネル領域と交差して互いに平行に配置される複数の転送電極と、上記第1の素子領域をソース及びドレインに分割するリセット電極と、上記第2の素子領域をソース及びドレインに分割する第1のゲート電極と、上記半導体基板と上記リセット電極との間に介在し、上記リセット電極の一部を上記半導体基板から離間させる第2のゲート電極と、を備え、上記第1のゲート電極が上記第1の素子領域のソース側に接続されると共に、上記第2のゲート電極が上記第2の素子領域のソース側に接続され、上記第2のゲート電極は、上記第1の素子領域と上記第2の素子領域との間で、上記第1のゲート電極の下まで延在されることを特徴とする電荷転送素子。

【請求項2】 上記第1及び第2の素子領域から離間して配置される第3の素子領域と、上記第3の素子領域をソース及びドレインに分割する第4のゲート電極と、をさらに備え、上記第4のゲート電極が上記第2のゲート電極に接続されることを特徴とする請求項1に記載の電荷転送素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電荷転送素子に関し、詳しくは、出力感度を向上するための出力部の電極構造に関する。

## 【0002】

【従来の技術】 CCDシフトレジスタ等の電荷転送素子においては、半導体基板に形成されるチャネル領域の出力側に、情報電荷を一時的に蓄積する電気的に独立した容量を設け、その容量に情報電荷が蓄積されたときの電位の変動を出力として取り出すように構成される。このような電荷転送素子の出力部においては、容量を小さく形成するようにして、出力感度の向上が図られる。

【0003】 図3は、電荷転送素子の出力部の構造を示す平面図であり、図4は、その等価回路図である。

【0004】 チャネル領域1は、Pチャンネル型の半導体基板あるいはPチャンネル型の拡散層が形成されたNチャンネル型の半導体基板の一主面に、分離領域によって区画されて一方向に延在するように形成される。リセットトランジスタT<sub>r</sub>が形成される素子領域2は、チャネル領域1に連続して形成される。第1の出力トランジスタT<sub>d1</sub>が形成される素子領域3は、素子領域2から一定の距離を置いて形成され、第2の出力トランジスタT<sub>d2</sub>が形成される素子領域4は、さらに、一定の距離を置いて形成される。

【0005】 チャネル領域1上には、2層構造を有する

複数の転送電極5a、5bが、互いに平行に配列される。さらに、チャネル領域1の出力側の端部には、出力制御電極6が転送電極5a、5bと平行に配置される。転送電極5a、5bには、転送クロックφ<sub>H</sub>が印加され、出力制御電極6には、一定の出力制御電位V<sub>0G</sub>が印加される。これにより、チャネル領域1内を情報電荷が一方向に転送され、出力制御電極6の下を通して素子領域2へ出力される。

【0006】 素子領域2上には、リセットクロックφ<sub>R</sub>が与えられるリセット電極7が配置され、素子領域2がソース領域2a及びドレイン領域2dに分離されてリセットトランジスタT<sub>r</sub>が形成される。ソース領域2aは、電気的に独立であり、電荷量を電圧値に変換するための容量を構成し、電位を取り出すためのソース配線8が接続される。そして、ドレイン領域2bには、一定の電位V<sub>RD</sub>が印加されるドレイン配線9が接続される。これにより、リセットクロックφ<sub>R</sub>に応答してリセット電極7がオンしたとき、ドレイン領域2bに印加される電位がソース領域2aに伝えられ、ソース領域2aの電位が電位V<sub>RD</sub>に初期化される。

【0007】 素子領域3上には、ソース配線8に接続されるゲート電極11と、一定の電位V<sub>GG</sub>が印加されるゲート電極12とが一定の距離を隔てて配置される。これらのゲート電極11、12により、素子領域3がドレイン領域3a、3cとソース領域3b、3dとにそれぞれ分割されて出力トランジスタT<sub>d1</sub>及び負荷トランジスタT<sub>s1</sub>が形成される。ここで、出力トランジスタT<sub>d1</sub>のソース領域3bと負荷トランジスタT<sub>s1</sub>のドレイン領域3cとは共通である。そして、ドレイン領域3aには電源電位V<sub>DD</sub>が印加されるドレイン配線13が接続され、ソース領域3dには接地電位V<sub>SS</sub>が印加されるソース配線15が接続される。また、ソース領域3bとドレイン領域3cとの共通領域には、出力を取り出すための出力配線14が接続される。

【0008】 素子領域4上には、出力配線14に接続されるゲート電極16と、ゲート12と共に共通となるゲート電極17とが一定の距離を隔てて配置される。これらのゲート電極16、17により、素子領域4がドレイン領域4a、4cとソース領域4b、4dとにそれぞれ分割されて出力トランジスタT<sub>d2</sub>及び負荷トランジスタT<sub>s2</sub>が形成される。ここで、出力トランジスタT<sub>d2</sub>のソース領域4bと負荷トランジスタT<sub>s2</sub>のドレイン領域4cとは共通である。ドレイン領域4aにはドレイン領域3aに接続されるドレイン配線13と共に共通となるドレイン配線18が接続され、ソース領域3dにはソース領域3dに接続されるソース配線15と共に共通となるソース配線20が接続される。そして、ソース領域4bとドレイン領域4cとの共通領域には、出力電位V<sub>OUT</sub>を取り出すための出力配線19が接続される。

【0009】 以上の電荷転送素子の出力部においては、

図4に示すように、出力トランジスタ $T_{d1}$ 、 $T_{d2}$ により2段のソースフォロワ回路が構成される。そして、情報電荷の蓄積量に応じて変化するリセットトランジスタ $T_r$ のソース領域2aの電位が、そのソースフォロワ回路によって、出力電位 $V_{out}$ として取り出される。

#### 【0010】

【発明が解決しようとする課題】電荷転送素子の出力部においては、出力感度を向上するため、チャネル領域1から出力される情報電荷を蓄積するソース領域2aの容量が小さく形成される。即ち、ソース領域2aの容量を小さく形成することで、蓄積される情報電荷の量が少ないときでもソース領域2aの電位変動を大きくして、振幅の大きい出力信号を得られるようにしている。しかしながら、ソース領域2aの容量を小さくすると、飽和電荷量が小さくなり、ダイナミックレンジが狭くなるという問題が生じる。また、ソース領域2aには、出力トランジスタ $T_{d1}$ が接続されることになるため、ソース領域2a自体の容量の低減のみでは出力感度を十分に向上できない。

【0011】そこで本発明は、ソース領域2a自体の容量に加えて、出力配線8の寄生容量を低減して出力感度を向上することを目的とする。

#### 【0012】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、半導体基板の一主面に一方向に延在して配置されるチャネル領域と、上記チャネル領域に連続して配置される第1の素子領域と、上記第1の素子領域から離間して配置される第2の素子領域と、上記半導体基板上に上記チャネル領域と交差して互いに平行に配置される複数の転送電極と、上記第1の素子領域をソース及びドレインに分割するリセット電極と、上記第2の素子領域をソース及びドレインに分割する第1のゲート電極と、上記半導体基板と上記リセット電極との間に介在し、上記リセット電極の一部を上記半導体基板から離間させる第2のゲート電極と、を備え、上記第1のゲート電極が上記第1の素子領域のソース側に接続されると共に、上記第2のゲート電極が上記第2の素子領域のソース側に接続され、上記第2のゲート電極は、上記第1の素子領域と上記第2の素子領域との間で、上記第1のゲート電極の下まで延在されることにある。

【0013】本発明によれば、リセット電極が第2のゲート電極によって第1の素子領域から離されると共に、第1のゲート電極が第1の素子領域のソースに接続される経路で第2のゲート電極によって基板から離される。第2のゲート電極は、第1の素子領域のソース及びこのソースに接続される第1のゲート電極と同じ位相の電位で動作するため、第1の素子領域のソースとリセット電極との間の寄生容量が小さくなると共に、第1のゲート電極と基板との間の寄生容量をほとんど無くすことができる。

きる。

#### 【0014】

【発明の実施の形態】図1は、本発明の電荷転送素子の構造を示す平面図であり、図2は、その等価回路図である。この図1では、図3と同一の部分を示しており、同一部分にはそれぞれ同一符号が付してある。

【0015】本発明の特徴とするところは、リセットトランジスタ $T_r'$ のリセット電極7'に基板との間にゲート電極21を配置し、このゲート電極21を出力トランジスタ $T_{d1}$ のソース領域3bに接続される出力配線1'4'に接続したことにある。さらに、ゲート電極21と出力配線1'4'との接続部分に、出力トランジスタ $T_{d1}$ のゲート電極1'1'の下まで延在する突出部22を形成したことにある。

【0016】ゲート電極21は、素子領域2上に、基板とリセット電極7'との間に介在し、リセット電極7'の一部を基板から離間させる。即ち、素子領域2上の1層目にゲート電極21が配置され、このゲート電極21に一部をオーバーラップさせるようにして、2層目にリセット電極7'が配置される。リセット電極7'とゲート電極21とは、互いに平行に配置され、素子領域2をソース領域2a及びドレイン領域2bに分離し、リセットトランジスタ $T_r'$ を形成する。そして、ゲート電極21は、素子領域3側に延在され、出力トランジスタ $T_{d1}$ のソース領域3bに接続される出力配線1'4'と一緒に形成される。ここで、ゲート電極21と出力配線1'4'との接続部分には、素子領域2と素子領域3との間の領域で、配線8'とゲート電極1'1'の接続部の下に広がる突出部22が形成される。即ち、出力配線1'4'は、素子領域3上に、ゲート電極21と同一の層で一体に形成され、この出力配線1'4'とゲート電極21との接続部分に、素子領域2と素子領域3との間に広がる突出部22が形成される。そして、2層目にゲート電極1'1'が形成され、このゲート電極1'1'が突出部22を跨いで、配線8'と一緒に形成される。これにより、配線8'がゲート電極1'1'との接続部が基板から離間される。出力トランジスタ $T_{d1}$ では、ソース領域3bの電位がゲート電極1'1'の電位、即ち、リセットトランジスタ $T_r'$ のソース領域2aからソース配線8'へ取り出される電位と同じ位相で変化する。そして、ソース領域3bに接続されるゲート電極21の電位も、ソース領域2aの電位と同じ位相で変化するため、リセットトランジスタ $T_r'$ では、ソース領域2aとゲート電極21との間の結合容量を無視できる。従って、ソース領域2aに対するリセット電極7'の結合容量を小さくできる。また、出力配線1'4'に接続される突出部22についても、その電位が、ソース配線8'及びゲート電極1'1'の電位と同じ位相で変化することになる。このため、ソース配線8'及びゲート電極1'1'の接続部と突出部22との間の結合容量を無視できる。素子領域2と素子領域3との間で、

ソース配線8' とゲート電極11' との接続部分が、突出部22以外で基板に接する部分はわずかであり、基板との間の結合容量を大幅に低減できる。

【0017】このような出力部においては、リセットトランジスタTr'のソース領域2a自体の寄生容量を小さくできると共に、ソース領域2aに接続される配線8'に寄生容量を小さくできる。従って、ソース領域2aに蓄積される情報電荷の量に応じてゲート電極11'の電位が俊敏に変化するようになり、出力感度が向上される。

【0018】尚、以上の実施形態においては、2組のトランジスタを用いて2段のソースフォロワ回路を構成する場合を例示したが、ソースフォロワ回路については、1段あるいは3段以上とすることも可能である。また、ソースフォロワ回路の各段において、出力トランジスタと負荷トランジスタとを共通の素子領域に形成するようしているが、出力トランジスタと負荷トランジスタとをそれぞれ独立した素子領域に形成することも可能である。

【0019】

【発明の効果】本発明によれば、電荷転送素子の出力部において、電荷量を電圧値に変換して取り出す拡散領域の寄生容量を低減でき、出力感度を向上することができ

る。

【図面の簡単な説明】

【図1】本発明の電荷転送素子の構造を示す断面図である。

【図2】本発明の電荷転送素子の出力部の等価回路図である。

【図3】従来の電荷転送素子の構造を示す断面図である。

【図4】従来の電荷転送素子の出力部の等価回路図である。

【符号の説明】

1 チャネル領域

2、3、4 素子領域

2a、3b、3d、4b、4d ソース領域

2b、3a、3c、4a、4c ドレイン領域

5a、5b 転送電極

6 出力制御電極

7、7' リセット電極

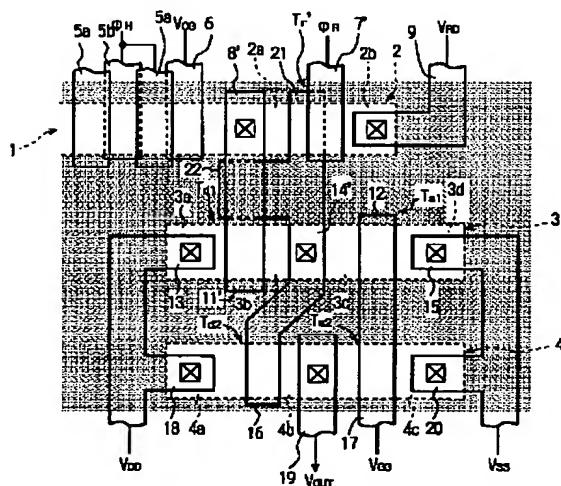
8、8'、15、20 ソース配線

9、13、18、 ドレイン配線

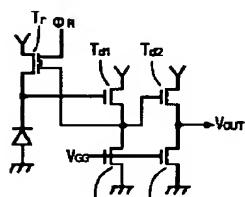
11、11'、12、16、17、21 ゲート電極

22 突出部

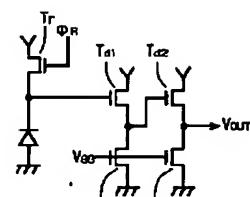
【図1】



【図2】



【図4】



【図3】

